

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-304224

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

G05F 1/10

G05F 3/26

(21)Application number : 2001-369975

(71)Applicant : NEC CORP

(22)Date of filing : 04.12.2001

(72)Inventor : SUGAWARA MITSUTOSHI

(30)Priority

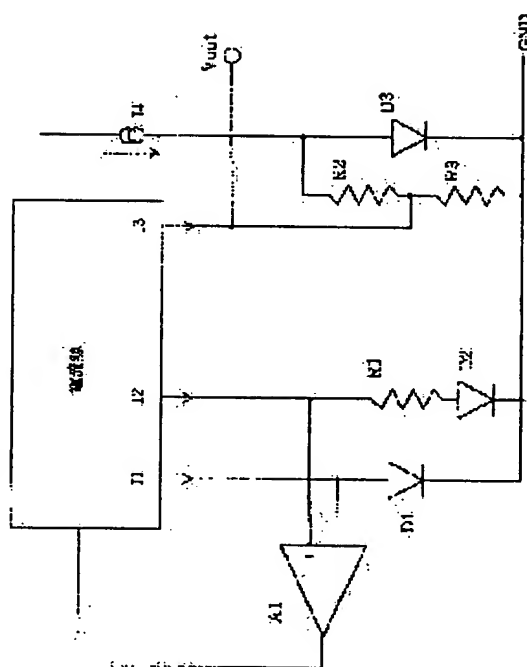
Priority number : 2000 733650 Priority date : 08.12.2000 Priority country : US

(54) CIRCUIT AND METHOD FOR GENERATING VOLTAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low voltage generating circuit and a low voltage generating method capable of generating the reference voltage lower than a conventional value.

SOLUTION: The voltage generating circuit for supplying the voltage lower than the band gap voltage comprises an amplifier having first and second inputs, first to third current sources for supplying the substantially equal current, a first junction element disposed between the first input of the amplifier and the ground, a second junction element and a resistor provided in series between the second input of the amplifier and the ground, a third junction element provided between a bias element and the ground, a voltage divider having a terminal connected to a source of the third junction element and added to the third junction element, and the first current source is connected to the first input of the amplifier, and the second current source is connected to the second input of the amplifier.



LEGAL STATUS

[Date of request for examination]

09.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-304224

(P2002-304224A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int.Cl.⁷

識別記号

F I

テーマト* (参考)

G 0 5 F 1/10
3/26

G 0 5 F 1/10
3/26

B 5 H 4 1 0
5 H 4 2 0

審査請求 未請求 請求項の数42 O L (全 11 頁)

(21) 出願番号 特願2001-369975(P2001-369975)

(22) 出願日 平成13年12月4日 (2001. 12. 4)

(31) 優先権主張番号 0 9 / 7 3 3 6 5 0

(32) 優先日 平成12年12月8日 (2000. 12. 8)

(33) 優先権主張国 米国 (U S)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 菅原 光俊

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

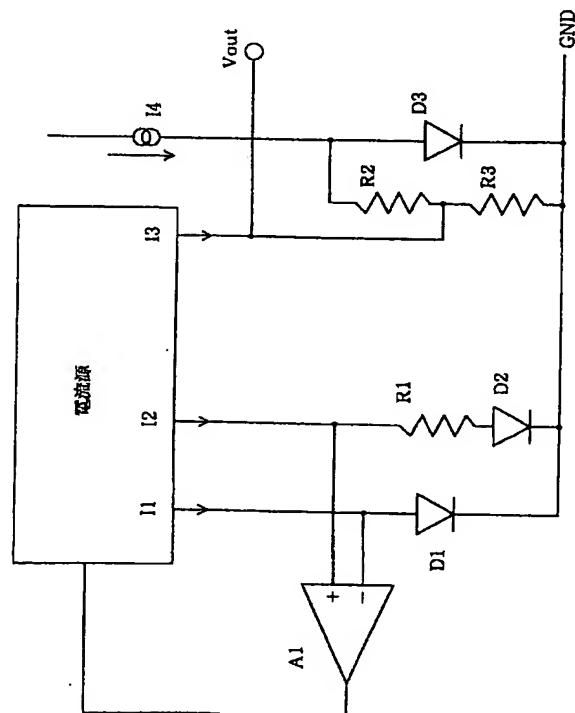
最終頁に続く

(54) 【発明の名称】 電圧発生回路および電圧発生方法

(57) 【要約】

【課題】 従来よりも低いリファレンス電圧を発生することのできる低電圧発生回路および低電圧発生方法を実現することを目的とする。

【解決手段】 バンドギャップ電圧よりも低い電圧を供給する電圧発生回路において、第1の入力および第2の入力を備える増幅器と、実質的に等しい大きさの電流を供給する第1ないし第3の電流源と、増幅器の第1の入力と接地との間に設けられた第1の接合素子と、増幅器の第2の入力と接地との間に直列に設けられた第2の接合素子および抵抗と、バイアス素子と接地との間に設けられた第3の接合素子と、第3の接合素子のソースと接続される端子を有し、該第3の接合素子に付設される分圧器と、を具備し、第1の電流源は増幅器の第1の入力に接続され、第2の電流源は増幅器の第2の入力に接続される。



【特許請求の範囲】

【請求項 1】 半導体のバンドギャップ電圧よりも低い電圧を供給する電圧発生回路において、

第 1 の入力および第 2 の入力を備える増幅器と、
実質的に等しい大きさの電流を供給する第 1 ないし第 3 の電流源と、
前記増幅器の第 1 の入力と接地との間に設けられた第 1 の接合素子と、
前記増幅器の第 2 の入力と接地との間に直列に設けられた第 2 の接合素子および抵抗と、
バイアス素子と接地との間に設けられた第 3 の接合素子と、
前記第 3 の接合素子のソースと接続される端子を有し、該第 3 の接合素子に付設される分圧器と、を具備し、
前記第 1 の電流源は前記増幅器の第 1 の入力に接続され、前記第 2 の電流源は前記増幅器の第 2 の入力に接続されることを特徴とする電圧発生回路。

【請求項 2】 半導体のバンドギャップ電圧よりも低い電圧を供給する電圧発生回路において、

第 1 の極性の温度係数による差動電圧を発生する差動電圧手段と、
前記差動電圧手段と接続する入力および出力を有する帰還増幅器と、
前記帰還増幅器出力と接続する制御端子および前記差動電圧手段と接続する出力を有する第 1 の電流源と、
前記第 1 の極性の温度特性と逆の第 2 の極性の温度係数の電圧を発生するリファレンス電圧源と、
前記帰還増幅器出力と接続する制御端子および前記リファレンス電圧源と接続する出力を有し、前記差動電圧に比例する電流を供給可能な第 2 の電流源と、
前記第 2 の電流源とリファレンス電圧源との間に設けられ、これにより第 2 の電流源に比例する電圧がその両端に表れる抵抗素子と、を具備し、
リファレンス電圧源が発生するリファレンス電圧と前記抵抗素子の両端の電圧との総和を出力することを特徴とする電圧発生回路。

【請求項 3】 請求項 2 記載の電圧発生回路において、帰還増幅器は、反転入力と非反転入力とを具備し、差動電圧手段は、前記帰還増幅器の反転入力と接地との間に設けられた第 1 の電圧素子と、前記帰還増幅器の非反転入力と接地との間に設けられた第 2 の電圧素子とを具備することを特徴とする電圧発生回路。

【請求項 4】 請求項 3 記載の電圧発生回路において、第 1 の電流源は、第 1 の電圧素子へ第 1 の電流を供給する第 1 の電流素子と、第 2 の電圧素子へ第 2 の電流を供給する第 2 の電流素子を具備することを特徴とする電圧発生回路。

【請求項 5】 請求項 4 記載の電圧発生回路において、第 1 の電流と第 2 の電流はその大きさが実質的に等しいことを特徴とする電圧発生回路。

【請求項 6】 請求項 2 記載の電圧発生回路において、帰還増幅器は、反転入力と非反転入力とを具備し、差動電圧手段は、前記帰還増幅器の反転入力と接地との間に設けられた第 1 の半導体接合素子と、前記帰還増幅器の非反転入力と接地との間に直列に設けられた第 2 の半導体接合素子および抵抗と、を具備することを特徴とする電圧発生回路。

【請求項 7】 請求項 6 記載の電圧発生回路において、第 1 および第 2 の半導体接合素子が p n 接合のダイオードであることを特徴とする電圧発生回路。

【請求項 8】 請求項 7 記載の電圧発生回路において、第 1 の電流源は、第 1 の半導体接合素子へ第 1 の電流を供給する第 1 の電流素子と、直列に設けられた第 2 の半導体接合素子および抵抗へ第 2 の電流を供給する第 2 の電流素子を具備することを特徴とする電圧発生回路。

【請求項 9】 請求項 8 記載の電圧発生回路において、第 1 の電流と第 2 の電流はその大きさが実質的に等しいことを特徴とする電圧発生回路。

【請求項 10】 請求項 9 記載の電圧発生回路において、

第 1 の電流素子は、帰還増幅器出力と接続する制御端子と帰還増幅器の反転入力および第 1 の半導体接合素子と接続する出力端子とを具備するトランジスタにより構成され、第 2 の電流素子は、帰還増幅器出力および直列に設けられた第 2 の半導体接合素子および抵抗と接続する制御端子を具備するトランジスタにより構成されることを特徴とする電圧発生回路。

【請求項 11】 請求項 7 記載の電圧発生回路において、

第 1 の半導体接合素子は第 2 の半導体接合素子よりも大きな接合領域を有することを特徴とする電圧発生回路。

【請求項 12】 請求項 11 記載の電圧発生回路において、

第 1 の電流源は、第 1 の半導体接合素子に第 1 の電流を供給する第 1 の電流素子と、直列に設けられた第 2 の半導体接合素子と抵抗に第 2 の電流を供給する第 2 の電流素子と、を有することを特徴とする電圧発生回路。

【請求項 13】 請求項 12 記載の電圧発生回路において、

第 1 の電流と第 2 の電流はその大きさが実質的に等しいことを特徴とする電圧発生回路。

【請求項 14】 請求項 13 記載の電圧発生回路において、

第 1 の電流素子は、帰還増幅器出力と接続する制御端子と帰還増幅器の反転入力および第 1 の半導体接合素子と接続する出力端子とを具備するトランジスタにより構成され、第 2 の電流素子は、帰還増幅器出力および直列に設けられた第 2 の半導体接合素子および抵抗と接続する制御端子を具備するトランジスタにより構成されることを特徴とする電圧発生回路。

【請求項 15】 請求項 7 記載の電圧発生回路において、
リファレンス電圧源は、
第 3 の半導体接合素子と、
前記第 3 の半導体接合素子に併設され、中間接続点を具備する抵抗分圧器と、
帰還増幅器出力と接続する制御端子と前記中間接続点と接続する出力端子とを具備する第 2 の電流源と、を有することを特徴とする電圧発生回路。

【請求項 16】 請求項 15 記載の電圧発生回路において、
リファレンス電圧源は、さらに、第 3 の半導体接合素子のバイアス電流源を有することを特徴とする電圧発生回路。

【請求項 17】 請求項 15 記載の電圧発生回路において、
抵抗分圧器は、第 2 の電流源と第 3 の半導体接合素子との間に等しい抵抗を直列に形成し、これにより、第 3 の半導体接合素子にかかる電圧に比例する電圧と、同じ大きさの抵抗に第 2 の電流源により供給される電流が掛けられた電圧と等しい電圧とが加算された電圧が出力電圧となることを特徴とする電圧発生回路。

【請求項 18】 請求項 17 記載の電圧発生回路において、
第 1 の電流源は、第 1 の半導体接合素子に第 1 の電流を供給する第 1 の電流素子と、直列に設けられた第 2 の半導体接合素子と抵抗に第 2 の電流を供給する第 2 の電流素子と、を有し、第 1 の電流と第 2 の電流の大きさは実質的に等しいことを特徴とする電圧発生回路。

【請求項 19】 シリコン半導体のバンドギャップ電圧よりも低い電圧を供給する電圧発生回路において、
非反転入力、反転入力、および出力を備える差動増幅器と、
前記差動増幅器の反転入力と接地との間に設けられた第 1 の接合素子と、
出力が前記差動増幅器の反転入力および前記第 1 の半導体接合素子と接続された第 1 の電流源と、
前記差動増幅器の非反転入力と接地との間に直列に設けられた第 2 の半導体接合素子および抵抗と、
出力が前記差動増幅器の非反転入力および直列に設けられた第 2 の半導体接合素子および第 1 の抵抗に接続された第 2 の電流源と、
第 3 の半導体接合素子および該第 3 の半導体接合素子に併設された抵抗分圧器を有し、直列に設けられた等しい抵抗とともにリファレンス電圧を生成するリファレンス電圧回路と、
前記抵抗分圧器に電流を流すために抵抗分圧器に接続される第 3 の電流源と、を具備し、これにより、リファレンス電圧と直列に設けられた等しい抵抗に加えられる電圧と等しい電圧とが加算された電圧が出力電圧となるこ

とを特徴とする電圧発生回路。

【請求項 20】 請求項 19 記載の電圧発生回路において、
第 1、第 2 および第 3 の電流源のそれぞれが差動増幅器出力と接続する制御端子を有し、これにより各電流源が供給する電流の大きさが等しいことを特徴とする電圧発生回路。

【請求項 21】 請求項 20 記載の電圧発生回路において、
第 2 の半導体接合素子の接合領域が第 1 の半導体接合素子の接合領域よりも大きく、これにより、温度係数が第 1 の極性の差動電圧 ΔV_f が第 1 の抵抗により生成されることを特徴とする電圧発生回路。

【請求項 22】 請求項 21 記載の電圧発生回路において、
リファレンス電圧回路により生成されるリファレンス電圧が第 1 の極性と逆の第 2 の極性の温度係数であることを特徴とする電圧発生回路。

【請求項 23】 請求項 22 記載の電圧発生回路において、
抵抗分圧器に流れる電流が差動電圧 ΔV_f に比例することを特徴とする電圧発生回路。

【請求項 24】 請求項 23 記載の電圧発生回路において、
リファレンス電圧は、電流源が供給される電流により第 3 の半導体接合素子をバイアスすることによって生成され、これにより、第 3 の半導体接合素子にかかる電圧および抵抗分圧器による第 3 の半導体接合素子の分圧が降下することを特徴とする電圧発生回路。

【請求項 25】 請求項 19 記載の電圧発生回路において、
差動増幅器が、差動入力トランジスタ対および能動負荷を有することを特徴とする電圧発生回路。

【請求項 26】 請求項 25 記載の電圧発生回路において、
能動負荷が、カレントミラー型に配置されたトランジスタ対により構成されることを特徴とする電圧発生回路。

【請求項 27】 請求項 19 記載の電圧発生回路において、
第 1 ないし第 3 の半導体接合素子のそれぞれが、バイポーラトランジスタのベース-エミッタ接合であることを特徴とする電圧発生回路。

【請求項 28】 請求項 27 記載の電圧発生回路において、
第 1 ないし第 3 の電流源のそれぞれが、差動増幅器の出力に接続する制御端子を有し、これにより、第 1 ないし第 3 の電流源のそれぞれが供給する電流の大きさが実質的に等しいことを特徴とする電圧発生回路。

【請求項 29】 請求項 28 記載の電圧発生回路において、

第2の半導体接合素子の接合領域が第1の半導体接合領域よりも大きく、これにより、温度係数が第1の極性の差動電圧 ΔV_f が第1の抵抗により生成されることを特徴とする電圧発生回路。

【請求項30】 請求項29記載の電圧発生回路において、

リファレンス電圧回路により生成されるリファレンス電圧が第1の極性と逆の第2の極性の温度係数であることを特徴とする電圧発生回路。

【請求項31】 請求項30記載の電圧発生回路において、

抵抗分圧器に流れる電流が差動電圧 ΔV_f に比例することを特徴とする電圧発生回路。

【請求項32】 請求項31記載の電圧発生回路において、

リファレンス電圧は、電流源が供給される電流により第3の半導体接合素子をバイアスすることによって生成され、これにより、第3の半導体接合素子にかかる電圧および抵抗分圧器による第3の半導体接合素子の分圧が低下することを特徴とする電圧発生回路。

【請求項33】 請求項32記載の電圧発生回路において、

電圧供給時の動作を保証するスタートアップ回路を有することを特徴とする電圧発生回路。

【請求項34】 半導体のバンドギャップ電圧よりも低い電圧を供給する電圧発生方法において、

第1の電流を第1の半導体接合素子に供給するステップと、

前記第1の半導体接合素子を差動増幅器の反転入力に接続するステップと、

第1の電流と実質的に等しい第2の電流を、直列に設けられた、第1の半導体接合素子よりも大きな接合領域を有する第2の半導体接合素子および第1の抵抗に供給するステップと、

直列に設けられた第2の半導体接合素子および第1の抵抗とを差動増幅器の非反転入力に接続することによって第1の半導体接合素子における電圧降下を第2の半導体接合素子における電圧降下よりも大きなものとし、これにより、第1の抵抗に差動電圧が表れ、第2の電流が差動電圧に比例する第1の極性の温度係数を有するものとするステップと、

少なくとも2つの抵抗素子から形成される等しい抵抗により、第1の極性と逆の第2の極性の温度係数のリファレンス電圧を生成するステップと、

第2の電流と等しい大きさの第3の電流を前記等しい抵抗に流れるものとし、これにより、出力電圧をリファレンス電圧と前記等しい抵抗にかかる電圧とを加算したものとすることを特徴とする電圧発生方法。

【請求項35】 請求項34記載の電圧発生方法において、

第1ないし第3の電流のそれぞれは第1ないし第3の電流源により供給され、前記の各電流源は、差動増幅器出力に共通に接続される制御端子を有することを特徴とする電圧発生方法。

【請求項36】 請求項35記載の電圧発生方法において、

差動増幅器が、差動入力トランジスタ対および能動負荷を有することを特徴とする電圧発生方法。

【請求項37】 請求項36記載の電圧発生方法において、

リファレンス電圧は第3の半導体接合素子をバイアスすることにより第3の半導体接合素子に表れ、また、抵抗分圧器を第3の半導体接合素子に接続し、これにより、抵抗分圧器出力にリファレンス電圧が表れることを特徴とする電圧発生方法。

【請求項38】 半導体のバンドギャップ電圧よりも低い電圧を供給する電圧発生回路において、

第1の入力および第2の入力を備える増幅器と、

実質的に等しい大きさの電流を供給する第1ないし第3の電流源と、

前記増幅器の第1の入力と接地との間に設けられた第1の接合素子と、

前記増幅器の第2の入力と接地との間に直列に設けられた第2の接合素子および第1の抵抗と、

前記増幅器の第1の入力と接地との間に設けられ、前記第3の電流源と接続される端子を有し、該端子における電圧がリファレンス電圧となる抵抗分圧器と、を具備し、

前記第1の電流源は前記増幅器の第1の入力に接続され、

前記第2の電流源は前記増幅器の第2の入力に接続されることを特徴とする電圧発生回路。

【請求項39】 請求項38記載の電圧発生回路において、

抵抗分圧器は第1の接合素子と端子との間に設けられた第2の抵抗と端子と接地との間に設けられた第3の抵抗とを有し、これにより、リファレンス電圧が、第1の接合素子にかかる電圧に比例する第1の電圧と第3の電流源により供給される電流に比例する第2の電圧とを加算したものとなることを特徴とする電圧発生回路。

【請求項40】 請求項39記載の電圧発生回路において、

第1の接合素子の接合領域は第2の接合素子の接合領域よりも小さく、これにより、第1の抵抗に差動電圧 ΔV_f が表れ、該差動電圧の温度特性は、第1の接合素子に表れる電圧の温度特性の極性と逆の極性であることを特徴とする電圧発生回路。

【請求項41】 請求項40記載の電圧発生回路において、

第3の電流源より供給される電流が差動電圧に比例し、これにより、第1の電圧の温度特性の極性が第2の電圧

の温度特性の極性と逆となることを特徴とする電圧発生回路。

【請求項42】 請求項41記載の電圧発生回路において、

第2の抵抗の大きさがR2であり、第3の抵抗の大きさがR3であり、第1の電圧が(R3)/(R2+R3)に比例し、第2の電圧が[(R2)/(R3)]/(R2+R3)に比例することを特徴とする電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路の設計方法および構造に関し、特に、温度係数を任意に設定可能な電圧発生回路の設計方法に関する。

【0002】

【従来の技術】従来からバンドギャップリファレンス回路が集積回路を設計する際に用いられている。バンドギャップリファレンス回路の利点の多くは、温度特性が安定したリファレンス電圧を供給できることに由来する。実際に、リファレンス電圧の温度特性は理想的にはゼロに近づく。バンドギャップリファレンス回路の幾つかの実例の解析結果を、“Analog Integrated Circuit Design”, David A. Jones and Ken Martin (John Wiley & Sons), PP. 353-364に見ることができる。

【0003】図5はバンドギャップリファレンス回路の従来例の構成を示す回路図である。図示されるように、図5に示されるバンドギャップリファレンス回路はバイポーラトランジスタにより構成されているが、MOSトランジスタを含む他の半導体素子を用いてもよい。MOSトランジスタを用いた本願発明の具体例は、以下の記述に詳細に述べられている。

【0004】図5を参照すると、バンドギャップリファレンス回路のバイポーラ手段は、電源V_SとnpnトランジスタQ44のエミッタとの間に設けられて組み合わされる電流源I₀を含む。トランジスタQ44は電流源I₀とGNDとの間にコレクタ接地にて配置されている。バンドギャップリファレンス回路は、npnトランジスタQ41、Q42、Q43をも含み、これらのコレクタは、それぞれ抵抗R42、R43、R44を介してトランジスタQ44のエミッタおよび電流源I₀と共通とされている。トランジスタQ41とQ43のエミッタは、直接GNDに接続され、トランジスタQ42のエミッタは抵抗R41を介してGNDと共通とされている。トランジスタQ41とQ42のベース電極は、共通にトランジスタQ41のコレクタに接続されている。トランジスタQ42のコレクタはトランジスタQ43のベースに接続され、トランジスタQ43のコレクタはトランジスタQ44のベースに接続されている。バンドギャップリファレンス回路の出力電圧V_{out}は、電流源I₀とトランジスタQ44との間に発生する。

【0005】図5に示されるバンドギャップリファレンス回路の動作を理解するために、一例として、トランジスタQ42のエミッタ領域がトランジスタQ41のエミッタ領

域よりも大きい(10倍)と仮定する。この仮定に基づいて、バンドギャップリファレンス回路の動作を以下のように解析できる。

【0006】トランジスタQ41のコレクタの電位はQ41のベース・エミッタ間電圧(以下、V_{BE}(Q41)と略す)であり、300°Kで近似される常温で概略700mVである。付け加えると、図5から明かなように、トランジスタQ42のコレクタの電位はQ43のV_{BE}(Q43)と等しい。従って、抵抗R42とR43の両端の電圧もほぼ等しく、抵抗R42の抵抗値が抵抗R43の抵抗値と同じに設計されている場合には、それぞれを等しい電流が流れることとなる。この結果、トランジスタQ41とQ42もほぼ同じ電流が流れている。以上、および、トランジスタQ42のエミッタ領域がトランジスタQ41のエミッタ領域よりも大きなことから、以下が導出される。

【0007】 $I(Q41) = I_S \cdot \exp[(q \cdot V_{BE}(Q41) / (k \cdot T))] = I(Q42) = 10 I_S \cdot \exp[(q \cdot V_{BE}(Q42) / (k \cdot T))]$

*はかけ算、/は割り算を示す。

【0008】ここで、I(Q41)はトランジスタQ41における電流、I(Q42)はトランジスタQ42における電流である。

【0009】上式において、I_Sは指定された温度における逆飽和電流と理解される。バイポーラトランジスタの逆飽和電流はそのベース・エミッタ間の接合領域に比例することが知られている。トランジスタQ41とQ42は同じチップ上に作られるので、同じプロセスで製造され、トランジスタQ42のベース・エミッタ間の接合領域はトランジスタQ41の10倍となるように製造されているので、トランジスタQ42の逆飽和電流はトランジスタQ41の逆飽和電流より10倍程度大きい。上式の中で、kはボルツマン定数、qは電子の電荷、Tは絶対温度、であり、この結果、 $\Delta V_{BE} = V_{BE}(Q41) - V_{BE}(Q42) = (k \cdot T / q) \cdot \ln 10$ となる。

【0010】 ΔV_{BE} は、常温では約60mVとなり、温度係数は0.2mV/°Cである。しかしながら、図5を精査すると、 ΔV_{BE} は抵抗R41にかかる電圧である。抵抗R43をR41の10倍の値とすれば、R43の両端には600mVの電圧がかかり、温度係数は2mV/°Cとなる。

【0011】一方、トランジスタQ43のV_{BE}を700mVとし、温度係数は-2mV程度とすると、リファレンス電圧V_{out}は1300mVで、温度係数が相殺されてゼロとなる。

【0012】

【発明が解決しようとする課題】シリコンを使った半導体の場合、温度係数が0となる電圧である1300mVはバンドギャップで決まるものであり(上記文献参照)、設計による自由度は無い。

【0013】実際的には、電流源I₀による電圧降下を考えると、V_Sは少なくとも1500mV程度は必要である。

【0014】一方、現在の半導体LSIの動向として、微細化を低消費電力の要求から、1.2Vや1.0Vの低い電源で

の動作が好まれるようになってきた。このことは、1.2V程度の低い電圧源で動作させるために、バンドギャップリファレンス回路を典型的な発生電圧である1300mVよりも低いリファレンス電圧を発生するように設計しなければならないことは明らかである。

【0015】本発明は上記の課題を達成するためになされたものであって、従来よりも低いリファレンス電圧を発生することのできる低電圧発生回路および低電圧発生方法を実現することを目的とする。

【0016】

【課題を解決するための手段】上記およびその他の目的に対して、シリコンのバンドギャップエネルギー（約1.3eV）よりも小さなリファレンス電圧を発生する本発明の1つの態様としての回路は利点および能力を有する。本発明の回路は、第1および第2の差動入力を含む増幅器を含む。3個の電流源は増幅器出力と接続される制御端子を備え、等しい大きさの電流を供給する。第1の電流源出力は増幅器の第1の入力に接続されるとともに第1の接合素子を介して接地されている。第2の電流源出力は増幅器の第2の入力に接続されるとともに第2の接合素子および抵抗を介して接地されている。第3の接合素子はバイアス素子と接地との間に設けられている。電圧分割器は第3の接合素子にかかり、その出力が第3の電流源の出力と接続される。

【0017】本発明の他の態様では、半導体のバンドギャップ電圧よりも明らかに小さな電圧を発生する。回路は、差動電圧手段と、帰還増幅器と、第1および第2の電流源と、リファレンス電圧源と、抵抗素子とから構成されている。差動電圧手段は、第1の導電型における温度係数による差動電圧を発生する。第1の電流源は帰還増幅器の出力が供給される制御端子を具備し、出力は差動電圧手段に入力される。リファレンス電圧源によるリファレンス電圧は、第1の導電型とは逆特性の第2の導電型における温度係数による電圧を発生する。第2の電流源は、差動電圧に比例する電流を供給する。抵抗素子は、第2の電流源出力とリファレンス電圧源の間に設けられ、第2の電流源により供給される電流に比例して抵抗素子に加えられる電圧を発生する。電圧発生回路が発生する電圧は、抵抗素子に加えられる合計の電圧を表す。

【0018】本発明の他の態様によれば、非反転入力と反転入力とから出力する差動増幅器を具備する電圧発生回路が出力する電圧は、半導体のバンドギャップ電圧よりも小さい。第1の半導体接合素子は差動増幅器の反転入力と接地との間に設けられ、第1の電流源の出力は、差動増幅器の反転入力および第1の半導体接合素子に接続される。直列に接続される第2の半導体接合素子と第1の抵抗器は非反転入力と接地との間に設けられている。第2の電流源は、非反転入力に供給される出力を具備し、第2の半導体接合素子と第1の抵抗素子と接地と

に直列に接続されている。リファレンス電圧回路は、直列抵抗値に等しいリファレンス電圧を定める。リファレンス電圧回路は、第3の半導体接合素子とこれと並列に組み合わされる分岐抵抗を具備する。第3の電流源は分岐抵抗と組み合わされ、これにより、電圧発生回路の出力は、実質的なリファレンス電圧が加算され、直列抵抗にかかる実質的な電圧となる。

【0019】加えて、本発明は、おおよそ1300mVとして知られている名目上のバンドギャップ電圧よりも低いことが容易に判断できる出力電圧の発生方法を含む。方法によると、第1の電流は第1の半導体接合素子に供給され、第1の電流と実質上等しい大きさの第2の電流は直列に接続された第2の半導体接合素子と第1の抵抗に供給される。第2の半導体接合素子は、第1の半導体接合素子よりも大きな（実施例でにおけるおおよその大きさ）接合領域を備え、これにより、第1の接合部を通る電流の密度は第2の接合部を通る電流の密度に比例して大きなものとなる。第1の半導体接合素子は、帰還型差動増幅器の反転入力に接続され、直列に接続された第2の半導体接合素子と抵抗は帰還型差動増幅回路の非反転入力に接続されている。この結果、第1の半導体接合素子を介することによる電圧降下量は、第2の半導体接合素子を介することによる電圧降下量よりも大きく、電圧差は第1の抵抗に表れる。第2の電流の大きさは電圧差に比例し、第1の極性による温度係数を示す。リファレンス電圧は、並列に設けられた等しい抵抗素子からなる抵抗と直列に設けられた電流源と等しい。第2の電流と等しい大きさの第3の電流は、等しい抵抗を通るものとされ、これにより、等しい抵抗を通った電圧はリファレンス電圧に加えられ、出力電圧とされる。なぜならば、リファレンス電圧の温度係数は、第2の電流についての温度係数の特性と逆の特性を有し、適当な抵抗素子を選ぶことにより出力電圧の温度係数を簡単に正、負、もしくは、ゼロのいずれかとすることができる。

【0020】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。

【0021】図1は本発明の第1の実施例の回路図である。図示されるように、本実施例はそれぞれ等しい電流値を供給する電流源11、12および13の端子を含む。電流源11は帰還増幅器A1の反転入力に接続されるとともにダイオードD1を介して接地されている。電流源12は帰還増幅器A1の非反転入力に接続されるとともに抵抗R1およびダイオードD2を介して接地されている。電流源13は抵抗R3を介して接地され、また、抵抗R2を介して第4の電流源14と接続されている。図1に示されるバンドギャップリファレンス回路の動作は以下の条件を前提とすることで理解できる。

【0022】（1）電流源11、12および13は等しい値の電流を供給する。

【0023】(2) 抵抗 R_2 と R_3 の値は等しく、その大きさは、 $1\text{ k}\Omega$ の抵抗 R_1 よりも大きい。

【0024】(3) ダイオード D_2 の接合領域はダイオード D_1 の接合領域よりも大きい。

【0025】これらの条件の下で、現在知られているバンドギャップリファレンス回路を考慮し、適用して解析すると、

$$\Delta V_f = V_f(D_1) - V_f(D_2) = k * T / q * \ln 10$$

ここで、 $V_f(D_1)$ 、 $V_f(D_2)$ のそれぞれは、ダイオード D_1 、 D_2 による電圧降下である。さらにいうと、 300°K で近似される室温において、 ΔV_f は 60 mV であり、 $0.2\text{ mV}/^\circ\text{C}$ の温度係数を有する。

【0026】図1を精査すると、抵抗 R_1 による電圧降下は ΔV_f に近似すると推論される。帰還増幅器 A_1 の特性を、開ループ利得および入力インピーダンスが無限大である理想的な帰還増幅器に近いものとすれば、抵抗 R_1 にかかる電圧は ΔV_f となる。この結果は、帰還増幅器 A_1 の反転入力と非反転入力間の電圧は理想的にはゼロとなる事実に由来する。上記のように電流源 I_1 、 I_2 および I_3 は等しい値の電流を供給するとすれば、電流源 I_2 は以下に等しいことが必要となる。

$$【0027】I_2 = \Delta V_f / R_1 = [k * T / q] * [\ln 10 / R_1]$$

ダイオード D_3 による電圧降下 $V_f(D_3)$ のすくなくとも一部は、電流源 I_4 から供給される電流により決定される。電流源 I_4 が供給する電流の大きさは重要ではないが、所定の電圧降下 $V_f(D_3)$ が発生するように与えられる。電圧降下 $V_f(D_3)$ は室温では 700 mV であり、温度係数は $-2\text{ mV}/^\circ\text{C}$ である。

【0028】ダイオード D_3 と抵抗 R_2 、 R_3 からなる回路にテブナンの定理を適用すると、これらの回路は $V_f(D_3) * R_3 / (R_2 + R_3)$ の電圧と、 R_2 と R_3 の並列抵抗を持つ回路と等価である。かりに $R_2 = R_3 = 10\text{ k}\Omega$ とすれば、 350 mV の電圧と $-1\text{ mV}/^\circ\text{C}$ の温度係数を持ち $5\text{ k}\Omega$ の抵抗の回路と等価ということになる。ここに、前述の I_3 が流れ込んで所望の電圧を発生する。例えば、 $R_1 = 1\text{ k}\Omega$ とすれば、 R_1 の両端の電圧に対して $5\text{ k}\Omega / 1\text{ k}\Omega = 5$ 倍の増幅度となるため、 I_3 により 300 mV で温度係数 $+1\text{ mV}$ の電圧が上記テブナンの定理で算出された 350 mV の電圧と $-1\text{ mV}/^\circ\text{C}$ の温度係数の電圧に加算される。つまり、 650 mV で温度係数 0 の電圧となる。これは、標準的なバンドギャップリファレンス電圧の半分に等しく、そしてこの電圧は、十分に低く、上記のバンドギャップリファレンス回路は、 1.0 V 程度の低い電圧源として主要電圧源と共用できる。

【0029】詳述した例と図1に示したバンドギャップリファレンス回路についての上記の解析は、リファレンス電圧を希望するレベルとし、および、指定された温度

係数(正、負、もしくはゼロ)にしたがって設計する指針を述べたものである。

【0030】特に、 $I_2 = N * I_1$ とし、 $I_3 = P * I_2$ の状態、ダイオード D_2 の接合領域をダイオード D_1 の接合領域の M 倍とすると、以下の関係が容易に明示される。

【0031】

$$I_1 = I_s * \exp[q * V_f(D_1) / (k * T)]$$

$$I_2 = M * I_s * \exp[q * V_f(D_2) / (k * T)]$$

したがって、

$$\Delta V_f = V_f(D_1) - V_f(D_2) = (k * T / q) * (\ln(M * N))$$

また、帰還増幅器 A_1 の特性を再度理想的なものとすると、

$$\Delta V_f = I_2 * R_1$$

I_3 は I_2 に比例し、その比例関係は以下とみなすことができる。

$$【0032】I_3 = P * I_2 = (P * k * T / q) * (\ln(M * N) / R_1)$$

他方で、基本的な回路理論を適用し、ダイオード D_3 による電圧源の減衰は、直列に設けられた等しい抵抗 $R_2 * R_3 / (R_2 + R_3)$ とすると、テブナンによれば、 $[V_f * R_3] / (R_2 + R_3)$ の大きさとなる。これは、電流源 I_3 により供給される電流はこれらの等しい大きさの抵抗を通るからであり、リファレンス電圧 V_{out} は一般的に以下により表される。

$$【0033】V_{out} = [V_f * R_3 / (R_2 + R_3)] + [(k * T / q) * P * R_2 * R_3 / (R_2 + R_3) / R_1 * \ln(M * N)]$$

第1項は、 $-2R_3 / (R_2 + R_3) \text{ mV}/^\circ\text{C}$ の負の温度係数を有し、第2項は正の温度係数を有するので、これらの統合によりリファレンス電圧の温度係数を正、負、もしくはゼロのいずれかとできる。

【0034】上記の検討内容は、本発明の記載および分析から明確に引き出される。バンドギャップリファレンス回路は、古典的なシリコン半導体素子のバンドギャップ電圧よりも低いことが重要となるリファレンス電圧を、調整可能な温度係数にて供給する。この記述から、これらの技術を知らせることにより、本発明のさまざまな具体例を思いつくと思われる。この点について、本発明の特定の実現例として、詳細が図2に示される回路が実施例となる。すなわち、バンドギャップリファレンス電圧がバイポーラトランジスタ技術によって実現されている。

【0035】図2を参照すると、図1に示した回路の実施例であることがすぐに理解できる。帰還増幅器 A_1 は、npnトランジスタ Q_1 、 Q_2 の対からなる差動入力段を含む。帰還増幅器 A_1 はトランジスタ Q_3 、 Q_4 から構成されるカレントミラー型の負荷を包含する。ト

ランジスタQ1、Q2のエミッタと接地との間に設けられた抵抗R4は、定電流源として作用する。ダイオードD1、および、直列に接続されたダイオードD2と抵抗R1のそれぞれは、ランジスタQ1、Q2のベースに差動対の入力を供給する。ランジスタQ2のコレクタとなる帰還増幅器A1の出力は、電流源であるpnpトランジスタI1、I2、I3、I4のベースに直接入力されている。電流源は、本発明に適切であることを目的としてそれぞれ等しい電流を供給し、同様に作用するもので、図1に示した電流源と同じものである。

【0036】図2に示されるバイポーラによるバンドギャップリファレンス回路は、図1に関連する一般的な記述のすべてに合うものであり、図2に示される回路が含む細部を図1に合わせる必要はない。第1に、電流源I4が帰還増幅器A1の帰還ループ内に含まれることに注目すべきである。すなわち、抵抗R2とR3の値が大きな場合、ダイオードD1のアノードは抵抗R2に接続することができ、電流源I4および第3の接合素子D3が切り離される。本発明におけるこのような配置が図3に示される。加えて、図2および図3に示される回路は、供給電圧VccとランジスタQ2のベースとの間に接続された抵抗R5を含む。抵抗R5は、供給電圧Vccを利用する回路の動作を保証する。このような結果は、供給電圧がはじめに供給されたときに、図2および図3に示されるすべてのランジスタおよびダイオードがカットオフモード（非導通状態）となる状態では発生しない。

【0037】図2および図3のバンドギャップリファレンス回路は図1に示した概括的な回路に適用される詳細な解析にしたがって実際の動作を行う。特に、 $I1 = I2 = I3$ とし、D2のベースからエミッタまでの機能領域をD1の10倍とし、 $R2 = R3 = 10R1$ とすると、リファレンス電圧Voutは650mVとなり、温度係数は0.2mV/°Cである。

【0038】先述したように、本発明は1.0Vもしくはそれよりも低い供給電圧のバンドギャップリファレンス回路を提供する。この要求に鑑みて、図2および図3に示した回路を実現できるかをためすことは有益である。この点について、電流源I1、I2、I3、I4のそれぞれのコレクタエミッタ間電圧がすくなくとも50mVであることが安全である。これは、ダイオードD1、D3にかかる電圧が700mVであり、D2/R1にかかる電圧が640mVであり、適当な余裕が電流源のランジスタの動作を保証することができる。ランジスタQ1、Q2による差動対を考えると、ランジスタQ2のベース電圧が700mVであり、エミッタ電圧が60mVであることが注目される。ランジスタQ2のコレクタ電圧は $V_{cc} - V_f$ であり、ここで、pnp素子の V_f は200mVで近似され、ランジスタQ2のコレクタエミッタ間の降伏電圧は140mV

であり、90mVの余裕をもって表される。ランジスタQ1についても、本質的には同じ解析を適用することができる。図2または図3に示した回路は810mVの供給電圧により動作する。供給電圧が900mVであるとする、バンドギャップリファレンス回路は20°Cの室温では V_f が増加し、90mV程度で動作する。

【0039】図4を参照すると、本発明が、図2または図3に示されるリファレンス電圧発生回路に、バイポーラ接合ランジスタだけでなく、MOSランジスタを用いもよいことがわかる。

【0040】図4における帰還増幅器A1は、nチャネルMOSランジスタQ11、Q12から構成される入力対からなる差動入力段を含む。入力対のソース端子は共通に接続され、ソース抵抗R14を介して接地されている。抵抗R14は、入力対に対しての電流源に似たような機能を果たす。帰還増幅器A1は、ランジスタQ13、Q14から構成されるカレントミラー型の能動負荷を駆動する。接合ダイオードD1はランジスタQ12の入力ゲートと接地との間に設けられている。ランジスタQ12のドレインである帰還増幅器A1の出力は、直接電流源を構成するランジスタI1、I2、I3、I4の入力（ゲート）端子に供給されている。電流源は、本発明の上述した図1ないし図3に示した電流源と実質的に等しくなるために、それぞれ等しい電流を供給し、同様に動作を行う。

【0041】図4に示す回路は図2および図3に示したバイポーラを用いて図1に示された回路と同様に動作し、リファレンス電圧Voutを発生する。特に、電流源I4は帰還増幅器A1出力により駆動され、接合ダイオードD3にバイアス電流を供給する。ダイオードD3、抵抗R2、R3は、テブナンにおける直列抵抗による電圧源に相当する。直列抵抗は抵抗R2、R3を並列に組み合わせた $R2/R3$ に相当し、VoutはダイオードD3を分圧した降下電圧とされる。図1ないし図3に示された回路についての解析は図4に示されるMOSを用いたものにも適用できる。すなわち、電流源I1、I2、I3が理想的であるとし、ダイオードD2の接合領域がダイオードD1の接合領域の10倍以上大きいとし、 $R2 = R3 = 10R1$ とすると、Voutは温度係数が0mV/°Cの650mVとなり、シリコンのバンドギャップ電圧の半分となる。

【0042】上記の内容は、電源VDDより供給される、要求された低い電圧でのMOSによる回路の動作を保証することに有効となる。解析するため、電源VDDを900mVとする。電流源I1、I2、I3より供給される電流が十分な大きさであると、電流源となるランジスタはソースドレイン間が50mVの電位差となると動作する。ダイオードD1、D3にかかる電圧は約700mVであり、抵抗R1/ダイオードD2にかかる電圧は640mVとなる。その結果、電流源となるトラ

ンジスタは完全な動作を行うに相当となるソースドレイン間電圧に150mV程度の許容範囲を持つ。帰還増幅器A1の入力対Q11、Q12は、トランジスタQ12のゲート電圧が700mVであることが知られている。これは、MOSトランジスタのゲートソース間電圧が約500mVであり、トランジスタQ12のソース電圧が200mVであるためである。トランジスタQ12のドレイン電圧400mVはVDDに等しく、PMOSトランジスタのゲートソース間電圧(約500mV)よりも小さい。したがって、この状況下では、トランジスタQ12のドレインソース間電圧は200mVであり、トランジスタQ12は動作するのに必要となる電圧に150mVの余裕を持って動作を行う。実質的に同様の解析をトランジスタQ11の動作に適用できる。

【0043】図4に示したMOSを用いた回路には、電源からの電圧VDDによる動作を保証するスタートアップ回路S1が具備される。スタートアップ回路は、ドレイン電極が電流源I1、I2、I3、I4の入力および帰還増幅器A1の出力に共通に接続されたNMOSトランジスタQ17を具備する。トランジスタQ17のゲート電極はNMOSトランジスタQ16のドレインと共通に接続されている。トランジスタQ16のゲートは、抵抗R2とR3との中間接続点において電流源I3の出力と接続されている。トランジスタQ17のゲートとトランジスタR16のドレインはPMOSトランジスタQ15を介してVDDに接続されている。動作開始時には、トランジスタQ16は非導通状態にあるが、トランジスタQ17はトランジスタQ15を介してバイアスされており、電流源であるトランジスタI1、I2、I3、I4は導通状態となる。この結果、トランジスタQ16が電流を流すことのできるバイアス電圧がトランジスタQ16のゲートに供給される。トランジスタQ16の導通に伴い、トランジスタQ17は非導通状態とされ、リファレンス電圧発生回路が定常状態の間はスタートアップ回路S1を実際上無効とする。

【0044】本発明による好適実施例と考えられるものを示し説明したが、本発明はこれらの実施例に限定されるものではない。特許請求の範囲に定義される本発明による技術思想から逸脱することなく、さまざまな修正及び変更してもよい。例えば、図2および図3に示したバイポーラ半導体による本発明の実施例を示し、図4にはMOSによる本発明の実施例を示したが、本発明は、半導体の構造により限定されるものではない。特に、本発明を、図1ないし図3を組み合わせたによる、BiCMOS構造により実現してもよい。加えて、図2および図3におけるPNPトランジスタをPMOSトランジスタとすることも可能である。

【0045】

【発明の効果】前述の通り、任意の温度係数の電圧が得

られる。

【0046】特に、電流源I1、I2及びI3の値が等しく、接合D2は接合D1の10倍の面積を持ち、抵抗R2とR3はともに抵抗R1の10倍の値の場合には、前述の通り、従来のバンドギャップリファレンス回路のちょうど半分の安定した、温度係数が0で出力電圧が650mVの電圧がえられる。

【0047】電源電圧Vccがわずかに900mVの時を考察する。電流源I1、I2、I3及びI4を構成するMOSトランジスタの大きさを、ドレイン・ソース間電圧が50mV程度から5極管動作するように設定しておく。接合D1、D3、の電圧を700mV、(仮定からD2は640mVとなる)としても150mVの余裕がある。

【0048】トランジスタQ12のゲート電位が700mVになるので、ソース電位はこれからゲート・ソース間電圧(例えば500mV程度に設定可能)を減じた値となる。一方ドレイン電位は電源電圧VDDからPMOSトランジスタのゲート・ソース間電圧(例えば500mVと設定可能)分下がった電圧であり、150mVの余裕を持って動作する。トランジスタQ11についても同様である。

【0049】従って本実施例は常温では、電源電圧Vccが750mV以上で動作する。温度が45°C低下して-20°Cになったときに接合が790mVの電圧になったとしても、電源電圧Vcc=840mVでぎりぎり動作する。

【0050】従来のバンドギャップリファレンス回路が原理的に1.3V以上でしか動作しなかったことを鑑みると、電源電圧が1.2Vや1Vの時代に、本発明の回路で電源電圧840mVまで動作可能な安定な電圧が得られる意義は極めて大きい。

【図面の簡単な説明】

【図1】図1は、調整可能な温度係数にて、シリコン半導体素子のバンドギャップ電圧よりも実際的に小さなリファレンス電圧を発生する本発明によるリファレンス電圧発生回路の一般的な実施例の回路図である。

【図2】図2は本発明をバイポーラトランジスタにて構成した実施例の回路図である。

【図3】図3は本発明をバイポーラトランジスタにて構成した実施例の回路図である。

【図4】図4は本発明をMOSFETを用いて大規模に作製した実施例の回路図である。

【図5】図5は、シリコン半導体素子のバンドギャップ電圧におおよそ等しいリファレンス電圧を、温度係数がおおよそゼロで発生するリファレンス電圧発生回路の回路図である。

【符号の説明】

I1～I4 電流源

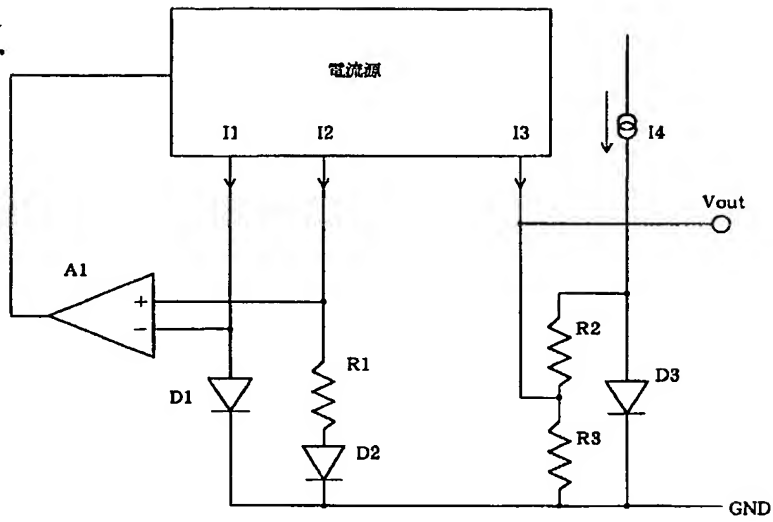
A1 帰還増幅器

R1～R3 抵抗

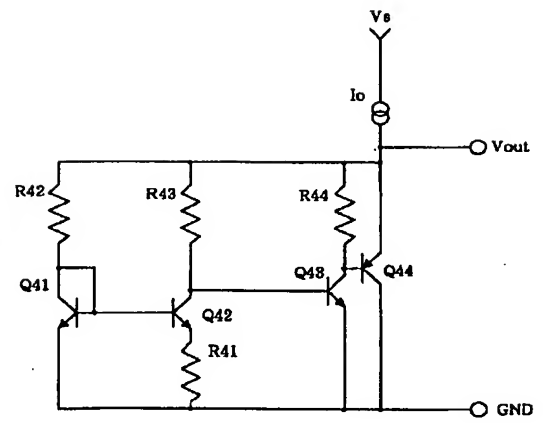
D1～D3 ダイオード

Q1～Q4 トランジスタ

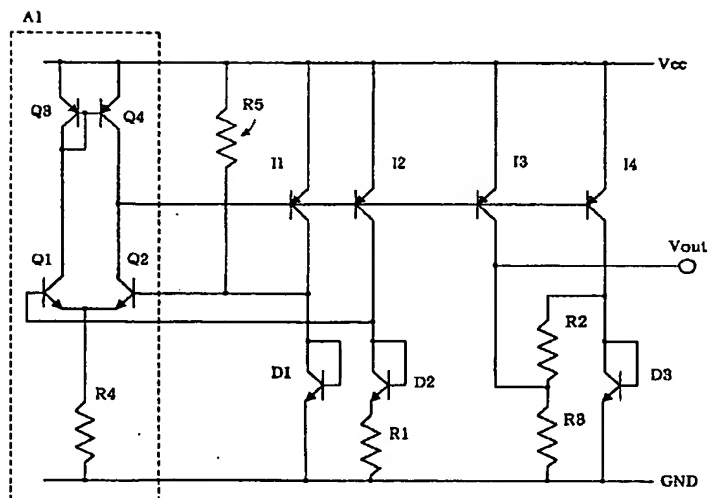
【図1】



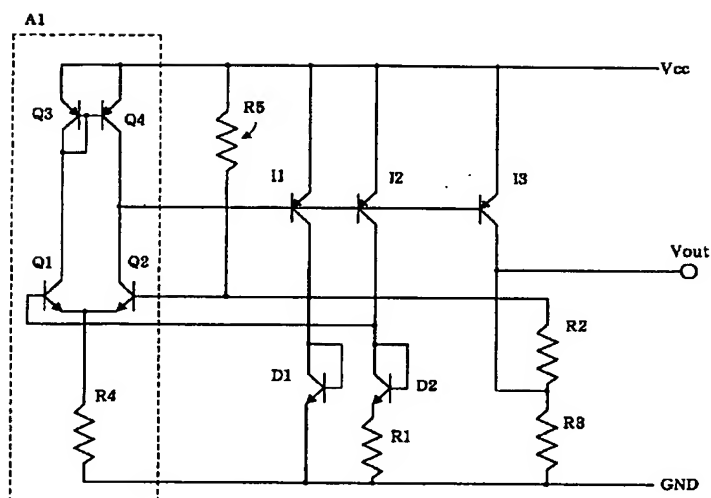
【図5】



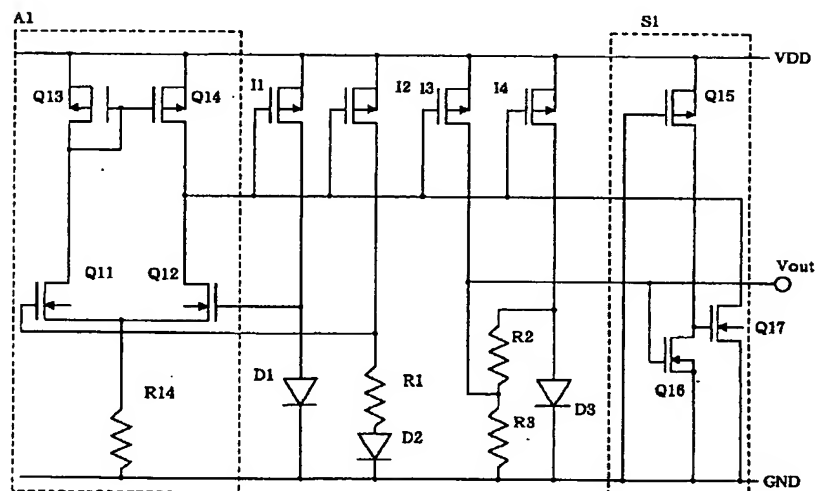
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5H410 BB04 CC02 DD02 EA10 EA12
 EA33 EA38 EB14 EB37 FF03
 FF14 FF23 GG05 LL09
 5H420 BB12 CC02 DD02 EA10 EA18
 EA43 EB15 EB37 FF03 FF14
 FF23 LL07 NA12 NA13 NA20
 NA21 NB02 NB12 NB19 NB33
 NB36 NC02 NC12 NC18 NC20
 NC23 NE22 NE23 NE26 NE28